

(19)



JAPANESE PATENT OFFICE

①, 4

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04102367 A**

(43) Date of publication of application: **03.04.92**

(51) Int. Cl

H01L 27/108
H01L 21/314
H01L 21/318
H01L 27/04
H01L 27/088
H01L 27/092
H01L 27/10

(21) Application number: **02220905**

(22) Date of filing: **21.08.90**

(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **TAKENAKA KAZUHIRO**
FUJISAWA AKIRA

(54) **SEMICONDUCTOR DEVICE, SEMICONDUCTOR MEMORY AND CMOS SEMICONDUCTOR INTEGRATED CIRCUIT USING SAME, AND MANUFACTURE OF SAME**

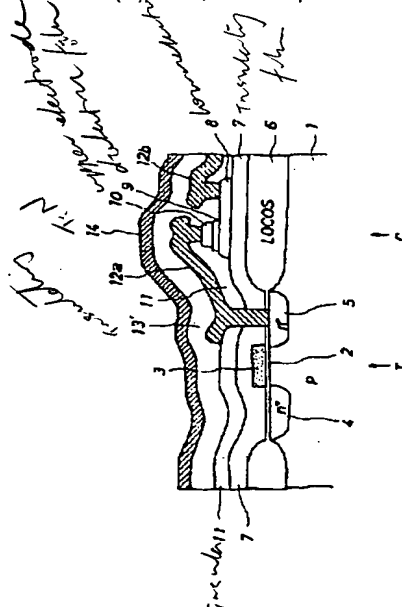
(57) Abstract:

PURPOSE: To acquire a semiconductor device whose element is a ferroelectric film of high remaining polarization and dielectric constant by adopting a film formation method which prevents hydrogen from entering the ferroelectric film for an upper part of the ferroelectric film.

CONSTITUTION: A gate insulating film 2 and an LOCOS 6 are produced on a surface of a p-type Si substrate 1. A transfer transistor T is provided with a capacitor Con an LOCOS 6, which consists of polycrystalline Si, a gate 3, and n⁺-type source/drain regions 4, 5 formed through a gate insulating film 2. A layer insulating film 7 of SiO₂ or SiN is formed all over and an upper plate electrode 10 of a dielectric film 9Pt of Pb(Ti_xZr_y)O₃ which is ferroelectrics is laminated on a part on a Pt lower plate electrode 8 immediately above the LOCOS 6 to form a capacity C. A lower layer insulating film 11 of SiN is formed on the layer insulating film 7, an electrode window is shaped and an upper layer insulating film 13' of SiN is formed on Al wirings 12a, 12b. A TiN film is formed on the layer insulating film 13' as a humidity resistant hydrogen barrier film 14. Since hydrogen is

not generated in the film formation process, characteristics of a dielectric film 9 do not deteriorate. TiN easily becomes TiO_n, thereby improving nontransmittance of hydrogen.

COPYRIGHT: (C) 1992, JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-102367

⑬ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月3日

H 01 L 27/108

8624-4M
7735-4M

H 01 L 27/10
27/08

3 2 5 J
3 2 1 G※

審査請求 未請求 請求項の数 9 (全8頁)

⑭ 発明の名称 半導体装置、それを用いた半導体メモリ及びCMOS半導体集積回路並びにその半導体装置の製造方法

⑮ 特 願 平2-220905

⑯ 出 願 平2(1990)8月21日

⑰ 発 明 者 竹 中 計 廣 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑰ 発 明 者 藤 沢 晃 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑰ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑰ 代 理 人 弁理士 山 田 稔
最終頁に続く

明 細 書

1. 発明の名称

半導体装置、それを用いた半導体メモリ及びCMOS半導体集積回路並びにその半導体装置の製造方法

2. 特許請求の範囲

(1) 強誘電体膜又は多結晶シリコン・ゲートを要素とする半導体装置であって、該要素の上部において少なくとも該要素を覆う範囲に、水素不放出性の成膜法によりなる耐湿性の水素バリア膜を具有することを特徴とする半導体装置。

(2) 請求項第1項記載において、前記水素バリア膜の上部にはこれを覆う腐食防止膜を具有することを特徴とする半導体装置。

(3) 請求項第1項又は第2項記載において、前記バリア膜がTiN膜であることを特徴とする半導体装置。

(4) 請求項第1項又は第2項記載において、前記水素バリア膜がTiON膜であることを特徴とする半導体装置。

(5) 請求項第2項乃至第4項記載のいずれか一項記載において、前記腐食防止膜はSiN膜であることを特徴とする半導体装置。

(6) 請求項第1項ないし第5項のいずれか一項記載の半導体装置を用いた半導体メモリ。

(7) 請求項第1項ないし第5項のいずれか一項記載の半導体装置を用いたCMOS半導体集積回路。

(8) 強誘電体膜又は多結晶シリコン・ゲートを要素とする半導体装置の製造方法において、該強誘電体膜又は多結晶シリコン・ゲートを形成した後、水素不放出性の成膜法により層間絶縁膜を形成する工程と、該要素の上部で少なくとも該要素を覆う範囲に、水素不放出性の成膜法により耐湿性の水素バリア膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。

(9) 請求項第8項に記載の製造方法において、前記水素バリア膜の形成工程の後、該水素バリア膜の上に腐食防止膜を覆う工程、を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置及びその製造方法に関し、特に、 $PZT(Pb(Ti, Zr)_2O_3)$ などの強誘電体膜を用いたキャパシタ構造を有する半導体メモリや多結晶シリコン・ゲートを用いたCMOS半導体集積回路における保護膜構造及びその成膜法に関するものである。

(従来の技術)

従来、強誘電体を用いたストレージ・キャパシタ構造を有する半導体不揮発性メモリ・セルは、例えば第6図に示す構造を備えている。このメモリ・セルは、単一の転送ゲート・トランジスタ(MOSTランジスタ)Tに強誘電体膜を用いたストレージ・キャパシタ(コンデンサ)Cを直列接続したものである。転送ゲート・トランジスタTは、p型半導体基板1の上にゲート絶縁膜2を介して形成されて多結晶シリコン・ゲート3と、この多結晶シリコン・ゲート3をマスクとしてp型半導体基板1の表面側にセルフアラインで形成さ

ス・ドレイン領域5と上部平板電極10とをコンタクト穴を介して導通させるセル内部配線で、Al配線12bは下部平板電極8と図示しないパッド部とを導通させる接地配線である。なお、第6図には示されていないが、多結晶シリコン・ゲート3に導通するワード線及びソース・ドレイン領域4に導通するビット線は上記Al配線と同一層に形成されている。Al配線12a、12bの上にはスパッタ法によるSiNのバッシベーション膜13が形成されている。

(発明が解決しようとする課題)

誘電体膜9に使用される強誘電体たる $PZT(Pb(Ti, Zr)_2O_3)$ は電界に対してヒステリシス曲線を持ち、書き込み電圧を取り除くと、残留分極を保持し続けるため、上述のような不揮発性メモリとして利用されたり、また比誘電率が約1000程度の値で SiO_2 膜と比較して2桁以上も大きいので、ダイナミックRAMのキャパシタとしても利用される。

しかしながら、水素に晒されると残留分極の値

れた高濃度n型領域たるソース・ドレイン領域4、5とから構成されている。なお、ソース・ドレイン領域4はビット線に、多結晶シリコン・ゲート3はワード線にそれぞれ接続されている。一方、ストレージ・キャパシタCはフィールド酸化膜たるLOCOS(局所酸化膜)6上に構成されている。LOCOS6、多結晶シリコン・ゲート3の上には、例えばCVDにより SiO_2 又はスパッタ法によるSiNの第1の層間絶縁膜7が形成され、この層間絶縁膜7のうちLOCOS6の真上にスパッタ法で白金(Pt)の下部平板電極8が形成される。この下部平板電極8上の一部にはスパッタ法又は塗布法により強誘電体たる $PZT(Pb(Ti, Zr)_2O_3)$ の誘電体膜9が形成され、またこの誘電体膜9の上にはスパッタ法で白金の上部平板電極10が形成される。次に、第1の層間絶縁膜7の上には例えばCVDによる SiO_2 又はスパッタ法によるSiNの第2の層間絶縁膜11が形成され、この層間絶縁膜11の上にスパッタ法によりAl配線が形成される。Al配線12aはソー

スが減少してしまい、記憶機能に必要な2値論理の幅(マージン)が狭くなる。また比誘電率の値も低下する。このような特性劣化は歩留りの低下を招くので、誘電体膜9の形成工程の後においては水素を誘電体膜9に晒さないような成膜法に配慮する必要がある。

プラズマCVD法によるSiNや常圧又は減圧CVD法による SiO_2 の形成にあつては成膜中水素雰囲気にあるため、これらの膜を誘電体膜9の上部に形成すると、水素が誘電体膜9へ侵入し、その特性を劣化させてしまうので、これらの成膜法を採用することはできない。そこで、上記従来の不揮発性メモリの構造においては、第2の層間絶縁膜11とバッシベーション膜13はスパッタ法の成膜によるSiN膜とされる。これは水素不放出の工程による成膜だからである。一方、バッシベーション膜13は本来的に耐湿性の緻密な膜質が要求されるが、スパッタ法によるSiN膜は膜質の稠密性に欠け、耐湿性に劣るので、バッシベーション膜としては不向きである。

本発明は上記問題点を解決するものであり、その課題は、強誘電体膜の上部にこの強誘電体膜への水素侵入を防止する成膜法を採用することにより、残留分極及び比誘電率の高い強誘電体膜を要素とする半導体装置及びその製造方法を提供することにある。

〔課題を解決するための手段〕

殊にPZTなどの耐水素性に乏しい強誘電体を用いたキャパシタ構造を有する半導体装置において、本発明の講じた手段は、例えばスパッタ法又は塗布法により形成された強誘電体膜の上部に水素不放出性の成膜法による耐湿性の水素バリア膜を設けたものである。この水素バリア膜の被覆範囲は全面に限らず、キャパシタ構造を覆う範囲にあれば良い。この水素バリア膜としてはスパッタ法によるTiN膜でも良いし、また酸素侵入型のTiON膜でも良い。TiON膜の成膜法としては、TiN膜の酸素雰囲気でのプラズマ処理又は熱処理、窒素及び酸素雰囲気中でのTiターゲットによるスパッタ法やTiONのスパッタ法である。

しかし、下層には水素バリア膜が存在するので、強誘電体への水素侵入の問題は発生しない。

上記の製造方法は汎用的な手段であるが、水素バリア膜として絶縁性（酸素含有率が大）のTiON膜を成膜する場合には、上述の腐食防止膜の成膜工程を削減できる。

〔実施例〕

次に、本発明の実施例を添付図面に基づいて説明する。

第1実施例

第1図は本発明の第1実施例に係る半導体メモリの構造を示す断面図である。

p型半導体基板1の表面には熱酸化によるゲート絶縁膜2とMOSのアクティブ領域を区画形成すべき厚い酸化膜のLOCOS（局所酸化膜）6が形成される。転送トランジスタTはゲート絶縁膜2を介して形成された多結晶シリコン・ゲート3と、この多結晶シリコン・ゲート3をマスクとしてp型半導体基板1の裏面側にセルフアラインで形成された高濃度n型領域たるソース・ドレイン領域4、5とから構成されている。一方、ストレージ・キャパシタCはフィールド酸化膜たるLOCOS（局所酸化膜）6上に構成されている。

TiONは酸素含有率が小さいときは導電性で、酸素含有率が大いときは絶縁性である。また酸素含有率の高いTiON膜は水素阻止能が高くなる。

この水素バリア膜の上に直接又は層間絶縁膜を介して腐食防止膜（プラズマCVD法によるSiNや常圧又は減圧CVD法によるSiO₂など）を被着させた構造も採用される。

〔作用〕

水素不放出性の成膜法による耐湿性の水素バリア膜を強誘電体膜の上部に覆うと、強誘電体膜の形成後において、プロセス中で発生する水素の当該強誘電体膜の侵入を防止することができ、残留分極や比誘電率の低下を回避できる。それ故、残留分極や比誘電率の高い強誘電体膜を有する半導体装置を得ることができる。水素バリア膜の上部に腐食防止膜を形成した構造においては、水素バリア膜の腐食を防止できる。この腐食防止膜は膜質の緻密性を必要とするので、主にCVD法による成膜で、水素放出の成膜法に依らざる得ない。

先ず、LOCOS6、多結晶シリコン・ゲート3の上にはCVDにより緻密な第1の層間絶縁膜（SiO₂又はSiN）7が全面形成される。次に、この層間絶縁膜7のうちLOCOS6の真上にスパッタ法で白金（Pt）の下部平板電極8が形成される。次に、この下部平板電極8上の一部にはスパッタ法又は塗布法により強誘電体たるPZT（Pb（Ti、Zr）O₃）の誘電体膜9が形成される。また次に、この誘電体膜9の上にはスパッタ法で白金の上部平板電極10が形成され、ストレージ・キャパシタCが得られる。

次に、第1の層間絶縁膜7の上にはスパッタ法によるSiNの第2の層間絶縁膜（下部層間絶縁膜）11が形成される。そして、ソース・ドレイン領域5、上部平板電極10、下部平板電極8の部位にコンタクト穴が窓明けされる。

次に、この層間絶縁膜11の上にはスパッタ法に

よりA₂配線が形成される。A₂配線12aはソース・ドレイン領域5と上部平板電極10とをコンタクト穴を介して導通させるセル内部配線で、A₂配線12bは下部平板電極8と図示しないパッド部とを導通させる接地配線である。なお、第1図には示されていないが、多結晶シリコン・ゲート3に導通するワード線及びソース・ドレイン領域4に導通するビット線は上記A₂配線と同一層に形成されている。

次に、A₂配線12a、12bの上にはスパッタ法によるSiNの第3の層間絶縁膜（上部層間絶縁膜）13'が形成されている。勿論、この工程では水素不放出であることから、誘電体膜9の特性劣化の問題は発生しない。第3の層間絶縁膜13'の膜質は緻密性に欠けるが、パッシベーション膜としての意義は少なく、後述するように、導電性で耐湿性の水素バリア膜14とA₂配線12a、12bとの層間絶縁膜たる意義を有する。

次に、第3の層間絶縁膜13'の上にスパッタ法でTiN膜を耐湿性の水素バリア膜14として形成

する。この成膜過程においては水素の発生がないため、誘電体膜9の特性劣化の問題は発生しない。本発明者は水素バリア膜14としてこのTiN膜が好適であるを見出した。一般に半導体技術においてTiN膜はシリコンとA₂のバリアメタルとして知られているが、このTiN膜は緻密性に富み、導電性の膜であるため、耐湿性で水素非透過性の保護膜であると共に、電磁シールド機能をも果たす。この窒化チタン（TiN：チタンナイトライド）は酸化して酸素侵入型のTiONとなり易い。酸素含有率の高いTiONは水素非透過性がより高くなり、水素バリア膜として優れている。したがって、この水素バリア膜14としてはTiON膜であっても良い。TiON膜の成膜法としては次のいずれかの方法を採用する。

- ① TiN膜の酸素雰囲気でのプラズマ処理法
- ② TiN膜の酸素雰囲気での熱処理法
- ③ N₂、O₂雰囲気中でのTiターゲットによるスパッタ法
- ④ TiONのスパッタ法

なお、水素バリア膜が酸素含有率の高いTiONである場合には、導電性でないから層間絶縁膜13'の形成は不要である。

ところで、水素バリア膜14はTiN膜又TiON膜であるので、一般に導電性を有しているが、酸素侵入型のTiONは酸素含有率が小なときは導電性を帯び、酸素含有率が大なときは絶縁性となる。

第2実施例

第2図は本発明の第2実施例に係る半導体メモリの構造を示す断面図である。なお、第2図において第1図に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

この実施例においては、水素バリア膜14の上にプラズマCVD法によるSiN膜や常圧又は減圧CVD法によるSiO₂膜の腐食防止膜15を形成する。この膜は緻密性に富み湿気の浸透を阻止するので、水素バリア膜14の腐食を防止することができる。プラズマCVD法によるSiN膜や常圧又は減圧CVD法によるSiO₂膜の成膜法は、水

素の発生又は水素雰囲気中でのプロセスであるが、その水素侵入は既に形成された水素バリア膜14によって阻止されるため、誘電体膜9への影響を惹起させることはない。

第3実施例

第3図は本発明の第3実施例に係る半導体メモリの構造を示す断面図である。なお、第3図において第2図に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

この第3実施例の第2実施例に対して異なる点は、TiN膜又はTiON膜の水素バリア膜14'の形成領域をストレージ・キャパシタ構造を覆う範囲に限定したところにある。水素バリア膜14'の意義は、耐湿性のあることは勿論のこと、その成膜中では水素不放出性で且つ水素非透過性であれば良い。水素バリア膜14'の上に形成するプラズマCVD法によるSiN膜や常圧又は減圧CVD法によるSiO₂膜の腐食防止膜15は、その成膜中に水素の発生を招くが、積層構造の下層へ水素が侵入しても誘電体膜9へ到達しないよう水素

バリア膜14'が水素侵入を遮蔽すれば充分である。水素バリア膜14'はストレージ・キャパシタ構造を置く範囲で水素の侵入を遮蔽する。横方向からの水素の侵入到達距離が長いことから殆ど問題とはならない。

ところで、第1実施例や第2実施例において、全面的に形成される水素バリア膜14がTiN膜や酸素含有率の小なるTiON膜の場合は導電性を有するので、A₂配線12bと同一層に形成されるパッド部とこれに接続すべきボンディング・ワイヤとの接続方法について検討する必要がある。一般的な接続方法を第4図に示す。先ず、第4図(A)に示すように、第2の層間絶縁膜の上にA₂パッド部12cをA₂配線12bと同一層で形成した後、第2の層間絶縁膜13'、導電性の水素バリア膜14及び腐食防止膜15を順次形成し、次に、第4図(B)に示す如く、A₂パッド部12cの真上の3層をエッチング処理で除去してコンタクト穴16を形成してから、第4図(C)に示すように、ボンディング・ワイヤ17をA₂パッド部12cの露出

領域に対し圧着する。かかる接続法によれば、ボンディング・ワイヤ17の圧着によってA₂パッド部12cのみならずコンタクト穴の側壁に望む導電性の水素バリア膜14にもボンディング・ワイヤ17が導通してしまう。これは他のボンディング・ワイヤとのショートを引き起こす。

第5図は、上記問題点を解決するため、パッド部とボンディング・ワイヤとの改善接続方法を示す工程図である。

先ず、第5図(A)に示すように、第2の層間絶縁膜の上にA₂パッド部12cをA₂配線12bと同一層で形成し、この上に第2の層間絶縁膜13'及び導電性の水素バリア膜14を順次形成する。

次に、第5図(B)に示す如く、腐食防止膜15の形成の前に、A₂パッド部12cの真上の3層をエッチング処理で除去して窓明け部16aを形成して一旦A₂パッド部12cを露出させる。その露出領域をXとする。

次に、第5図(C)に示すように、上記露出領域Xをも含めて水素バリア膜14の上に腐食防止膜

15'を形成する。ここではコンタクト穴16a内も腐食防止膜15'で覆われる。

次に、第5図(D)に示すように、A₂パッド部12cの真上の1層の腐食防止膜15をエッチング処理で除去してコンタクト穴16bを形成する。A₂パッド部12c表面に形成すべき露出領域の広さ範囲Yは上記露出領域の広さ範囲Xに比して狭く設定する。

次に、第5図(E)に示すように、ボンディング・ワイヤ17をA₂パッド部12cの露出領域Yに対し圧着する。

このような接続方法を採用すると、ボンディング・ワイヤ17がA₂パッド部12cにのみ導通し、導電性の水素バリア膜14には導通しない。水素バリア膜14とボンディング・ワイヤ17とは腐食防止膜15で絶縁されているからである。なお、A₂パッド部12cとボンディング・ワイヤ17との接続に限らず、A₂パッド部12cとパンプとの接続、A₂配線と上層のA₂の接続(スルーホール接続)にも上記接続方法を適用できる。

水素侵入による特性劣化の問題は、強誘電体膜に限らず、多結晶シリコン・ゲートを有するCMOS集積回路等においても問題となる。多結晶シリコン・ゲートが水素に触れると、しきい値の変動を招き、歩留まりの悪化要因となる。それ故、耐湿性の水素バリア膜を強誘電体膜の保護だけでなく、多結晶シリコン・ゲートの保護膜をしてその上部に形成しておくことは、多結晶シリコン・ゲートの特性の安定性に寄与する。

(発明の効果)

以上説明したように、本発明は、強誘電体又は多結晶シリコン・ゲートを要素とする半導体装置において、強誘電体又は多結晶シリコン・ゲートの上部に水素不放出性の成膜法によりなるTiN膜やTiON膜等の耐湿性の水素バリア膜を形成した点に特徴を有するものである。従って以下の効果を奏する。

① 水素バリア膜の形成自体が水素を発生しないので、強誘電体又は多結晶シリコン・ゲートへの水素侵入の影響がない。また水素バリア膜の形成

後に水素放出性の成膜法が使用された場合や水素雰囲気中に半導体装置自身が置かれた場合でも水素バリア膜がその水素の侵入を阻止する。従って、強誘電体の残留分極や比誘電率の低下、多結晶シリコン・ゲートのしきい値の変動等のような水素侵入による特性劣化の問題を回避できる。

② 腐食性の水素バリアの場合、その上に腐食防止膜を形成した構造を採用すると、水素バリアの腐食を防止できることは勿論、その腐食防止膜の形成が水素放出性の成膜法による場合であっても、強誘電体又は多結晶シリコン・ゲートへの水素の侵入の問題は生じさせない。

③ 絶縁性のある $TiON$ 膜を耐湿性の水素バリア膜として形成した場合には、水素阻止能が高い構造を得ることができる。また層間絶縁膜も削減することができる。

4. 図面の簡単な説明

第1図は本発明の第1実施例に係る半導体メモリの構造を示す断面図である。

第2図は本発明の第2実施例に係る半導体メモ

リの構造を示す断面図である。

第3図は本発明の第3実施例に係る半導体メモリの構造を示す断面図である。

第4図(A)乃至(C)は同半導体メモリにおけるパッド部とボンディング・ワイヤとの一般的な接続方法を示す工程図である。

第5図(A)乃至(E)は同半導体メモリにおけるパッド部とボンディング・ワイヤとの改善された接続方法を示す工程図である。

第6図は従来における半導体メモリの構造の一例を示す断面図である。

〔符号の説明〕

- 1…p型半導体基板
- 2…ゲート絶縁膜
- 3…多結晶シリコン・ゲート
- 4, 5…高濃度n型のソース・ドレイン領域
- 6…LOCOS(局所酸化膜)
- 7…第1の層間絶縁膜
- 8…白金の下部平板電極

9…強誘電体たるPZT($Pb(Ti, Zr)O_3$)

の誘電体膜

10…白金の上部平板電極

11…第2の層間絶縁膜

12a, 12b…AL配線

12c…ALパッド部

13'…第3の層間絶縁膜

14, 14'…水素バリア膜(スパッタ法等による TiN 膜や $TiON$ 膜)

15…腐食防止膜

16a…窓明け部

16b…コンタクト穴

17…ボンディング・ワイヤ

T…転送トランジスタ

C…ストレージ・キャパシタ

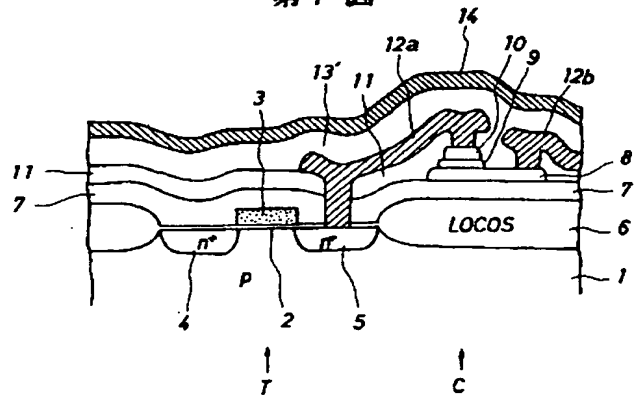
X, Y…露出領域の広さ範囲

以上

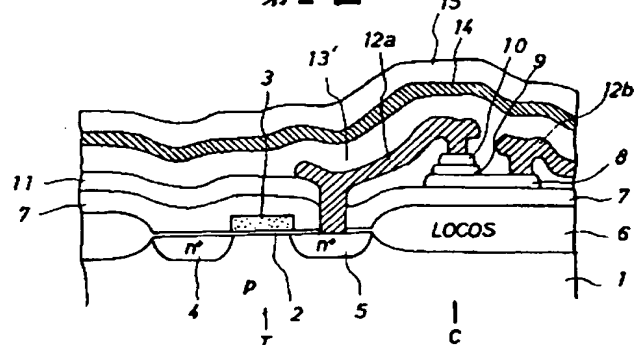
特許出願人 セイコーエプソン株式会社

代理人 弁理士 山田 稔

第1図



第2図



第1頁の続き

⑨Int. Cl.⁵

H 01 L

21/314
21/318
27/04
27/088
27/092
27/10

識別記号

A
C
C

片内整理番号

6940-4M
6940-4M
7514-4M

4 3 1

8831-4M
7735-4M

H 01 L 27/08

1 0 2 H